УКРАЇНА

ПАТЕНТ

НА КОРИСНУ МОДЕЛЬ

№ 138988

БАГАТОКАНАЛЬНИЙ СИГНАТУРНИЙ АНАЛІЗАТОР З ЛОКАЛІЗАЦІЄЮ ПОМИЛОК

Видано відповідно до Закону України "Про охорону прав на винаходи і корисні моделі".

Зареєстровано в Державному реєстрі патентів України на корисні моделі **10.12.2019.**

Заступник Міністра розвитку економіки, торгівлі та сільського господарства України

Д.О. Романович

МІНІСТЕРСТВО РОЗВИТКУ ЕКОНОМІКИ, ТОРГІВЛІ ТА СІЛЬСЬКОГО ГОСПОДАРСТВА УКРАЇНИ * Ідентифікаційний код 37508596 *

УКРАЇНА

(19) UA (11) 138988 (13) U

(51) МПК (2019.01)
G06F 11/00
G06F 11/273 (2006.01)

МІНІСТЕРСТВО РОЗВИТКУ ЕКОНОМІКИ, ТОРГІВЛІ ТА СІЛЬСЬКОГО ГОСПОДАРСТВА УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2019 06483

(22) Дата подання заявки: 10.06.2019

(24) Дата, з якої є чинними права на корисну модель: 10.12.2019

(46) Публікація відомостей про видачу патенту: 10.12.2019, Бюл.№ 23

(72) Винахідник(и):
Лосєв Михайло Юрійович (UA),
Руденко Олег Григорійович (UA),
Мінухін Сергій Володимирович (UA),
Коц Григорій Павлович (UA),
Бурдаєв Володимир Петрович (UA),
Федорченко Володимир Миколайович (UA)

(73) Власник(и):
Лосєв Михайло Юрійович,
пр. Л. Свободи, 39-б, кв. 119, м. Харків-202, 61202 (UA)

(54) БАГАТОКАНАЛЬНИЙ СИГНАТУРНИЙ АНАЛІЗАТОР З ЛОКАЛІЗАЦІЄЮ ПОМИЛОК

(57) Реферат:

Багатоканальний сигнатурний аналізатор з локалізацією помилок належить до обчислювальної техніки та може використовуватися у системах тестового діагностування цифрових пристроїв як аналізатор вихідних реакцій. Для побудови багатоканального сигнатурного аналізатора з локалізацією помилок використовується синдром помилки, який визначається на основі матриці станів сигнатурного аналізатора і однозначно відповідає утворюючому поліному. Технічний результат корисної моделі полягає в розширенні функціональних можливостей багатоканального сигнатурного аналізатора за рахунок визначення входу пристрою, з якого надходить помилкова інформація при повільному порядку проведення тестування.

UA 138988 U

Корисна модель належить до обчислювальної техніки та може використовуватися у системах тестового діагностування цифрових пристроїв як аналізатор вихідних реакцій.

Задача корисної моделі - розширення функціональних можливостей багатоканального сигнатурного аналізатора за рахунок визначення входу, з якого надходить помилкова інформація при вільному порядку перевірки входів пристрою.

Відомий пристрій [1], який містить формувач сигнатур, блок управління, блок індикації та мультиплесор. Недоліком цього пристрою є те, що в нього відсутні діагностичні можливості.

Відомий пристрій [2], який містить формувач сигнатур, блок управління, блок індикації, мультиплексор, комутатор адреси, генератор псевдовипадкової послідовності та дешифратор. Недоліком цього пристрою є неможливість визначення входу пристрою, з якого надходить помилкова інформація.

Як найближчий аналог вибрано пристрій [3], який містить мультиплексор, три логічні схеми І, два формувачі сигнатур, блок порівняння сигнатури з еталоном, комутатор адреси, два лічильники, дільник частоти, логічну схему АБО, блок індикації, тригер, блок управління, група інформаційних входів, група входів завдання номера пристрою, що перевіряється, група входів завдання режиму роботи, група входів запису кількості входів пристрою, що перевіряється, вхід пуску, група входів запису еталону та група входів встановлення інтервалу перевірки кожного входу приладу.

Недоліком цього пристрою є неспроможність визначати вхід аналізатора, з якого надходить помилкова інформація при непослідовній перевірці входів.

Дійсно, збір інформації з входів сигнатурного аналізатора [3] виконується тільки послідовно. При цьому пошук входу, з якого надходить помилкова інформація, засновується на додатковому зсуві даних [3] (у стандартному сигнатурному аналізаторі [4]), що отримуються з кожного входу. Інформація, що отримана з і-го входу, буде додатково зсунута на і тактів. Якщо припустити можливість не послідовного порядку проведення тестування, наприклад, спочатку буде перевірятись третій вхід, потім перший, четвертий, шостий, а помилки виникли на четвертому вході, то пристрій [3] визначить третій вхід як "помилковий". Таким чином, результати діагностування також будуть помилковими.

В основу корисної моделі поставлена задача розширення функціональних можливостей багатоканального сигнатурного аналізатора за рахунок визначення входу, з якого надходить помилкова інформація при вільному порядку перевірці входів пристрою.

Такого результату можна досягти, якщо у багатоканальний сигнатурний аналізатор, який містить мультиплексор, комутатор адреси, три логічні схеми І, два формувачі сигнатур, блок порівняння сигнатури з еталоном, два лічильники, дільник частоти, логічну схему АБО, блок індикації, тригер, блок управління, групу інформаційних входів, групу входів завдання номера каналу, групу входів завдання режиму роботи, вхід пуску, групу входів запису еталону додатково введені дві логічні схеми І, чотири логічних схеми АБО, два лічильники, два блоки порівняння даних, блок пам'яті, комбінаційний блок, регістр, блок формування імпульсу, групу входів запису адреси тесту, при цьому група інформаційних входів пристрою підключаються до групи відповідних інформаційних входів мультиплексора, група адресних входів якого з'єднана з групою відповідних виходів комутатора адреси, перша група входів якого є входами завдання номера каналу пристрою, друга група входів комутатора є входами завдання режиму роботи, а третя група входів комутатора адреси підключена до групи відповідних входів блока формування імпульсу, першої групи відповідних входів блока індикації, а також першої групи відповідних виходів блока пам'яті, друга група виходів якого з'єднана з інформаційними входами дільника частоти, вихід якого підключений до входу синхронізації третього лічильника і перших входів першого, третього та четвертого елементів АБО, вихід третього елемента АБО з'єднаний з першим входом першого лічильника, група виходів якого підключена до адресних входів блока пам'яті, а група входів першого лічильника з'єднана з групою відповідних виходів регістра, група входів якого є групою входів запису адреси тесту, другий вхід першого лічильника з'єднаний з виходом другого елемента АБО та другим входом четвертого елемента АБО, вихід якого підключений до другого входу дільника частоти, перший вхід якого з'єднаний з виходом третього елемента І, перший вхід якого підключений до другого входу першого елемента І, другого входу другого елемента І та першого виходу тригера, перший вхід якого з'єднаний з виходом блока формування імпульсу та першим входом другого елемента АБО, другий вхід якого підключений до другого входу тригера, входу пуск пристрою та першого входу блока управління, другий вхід якого з'єднаний з виходом п'ятого елемента АБО, а вихід підключений до другого входу третього елемента І, першого входу четвертого елемента І та першого входу п'ятого елемента І, вихід якого з'єднаний з входами синхронізації блока порівняння сигнатури з еталоном, другого лічильника, першого формувача сигнатур і з другим входом першого

елемента АБО, вихід якого підключений до першого входу другого елемента І, вихід якого з'єднаний з входом синхронізації другого формувача сигнатур, інформаційний вхід якого підключений до інформаційного входу першого формувача сигнатур та виходу першого елемента І, перший вхід якого з'єднаний з виходом мультиплексора, групи інформаційних виходів першого і другого формувачів сигнатур підключені відповідно до першої та другої групи відповідних інформаційних входів блока порівняння сигнатури з еталоном, третя група входів якого з'єднана з відповідними входами групи входів запису еталону, а вихід блока порівняння сигнатури з еталоном підключений до першого входу комбінаційного блока, другого входу п'ятого елемента І, першого входу управління блока індикації та входу управління першого блока порівняння, перша група інформаційних входів якого з'єднана з групою відповідних виходів третього лічильника, а друга група інформаційних входів першого блока порівняння об'єднана з відповідними входами другої групи інформаційних входів блока індикації, відповідними входами першої групи інформаційних входів другого блока порівняння та підключена до відповідних інформаційних виходів другого лічильника, вхід управління якого з'єднаний з другим виходом тригера, входом управління блока порівняння сигнатури з еталоном та третім входом комбінаційного блока, вихід якого підключений до другого входу четвертого елемента І, вихід якого з'єднаний з другим входом третього елемента АБО та входом синхронізації четвертого лічильника, група виходів якого підключена до відповідних входів другої групи входів другого блока порівняння, вхід управління якого з'єднаний з другим входом комбінаційного блока, другим входом управління блока індикації та першим виходом першого блока порівняння, другий вихід якого підключений до третього входу управління блока індикації та другого входу п'ятого елемента АБО, перший вхід якого з'єднаний з виходом другого блока порівняння та четвертим входом управління блока індикації.

Позитивним технічним результатом є те, що пристрій дозволяє збирати інформацію з діагностуванням вхідних даних та визначенням входу, до якого надходить помилкові дані при будь-якому порядку перевірки входів пристрою. Це дає змогу значно розширити функціональні можливості багатоканального сигнатурного аналізатора.

Суть корисної моделі пояснюють креслення, де на Фіг. 1 наведена структурна схема пристрою. Діаграми роботи пристрою наведені на Фіг. 2 та Фіг. 3.

Багатоканальний сигнатурний аналізатор з локалізацією помилок включає: мультиплексор 1, п'ять логічних схем І 2, 10, 23, 25, 26 два формувачі сигнатур 3, 11, блок порівняння сигнатури з еталоном 4, комутатор адреси 5, блок формування імпульсу 6, блок пам'яті 7, дільник частоти 8, чотири лічильника 9, 14, 20, 22, два блоки порівняння 12, 21, регістр 13, п'ять логічних схем АБО 15, 16, 17, 18, 34, комбінаційний блок 19, тригер 24, блок управління 27, блок індикації 28, група інформаційних входів 29, група входів завдання номера каналу 30, група входів завдання режиму роботи 31, група входів запису адреси тесту 32, вхід пуску 33, група входів запису еталону 35.

З метою розширення функціональних можливостей сигнатурного аналізатора при зборі тестових реакцій і діагностуванні у них помилок, необхідно забезпечити спроможність пристрою збирати дані з входів у вільному порядку та визначати при цьому, з якого входу надходить помилкова інформація.

Для виконання цих функцій до приладу [3] додано блок формування імпульсу 6, блок пам'яті 7, регістр 13, дві логічні схеми І 23, 26, чотири логічних схеми АБО 15, 16, 17, 34, два лічильники 9, 22, два блоки порівняння даних 12, 21, комбінаційний блок 19, групу входів запису адреси тесту 32.

Пристрій (Фіг. 1) працює наступним чином. В початковому стані на групу входів 30 подається код завдання режиму роботи, при необхідності перевірки одного каналу на входи 31 подається код номера каналу, з групи входів 32 до регістра 13 записується код, що відповідає адресі тесту у блоці пам'яті 7, з групи входів 35 до блока порівняння сигнатури з еталоном 4 записується код відповідний двом еталонним сигнатурам [3], до регістрів формувачів сигнатур 3 і 11, лічильників 8, 9, 14, 20, 22 записується код 00…0, тригер 24 встановлюється в нульовий стан (ланцюги встановлення приладу в початковий стан не наведені).

Сигнал пуск з входу 33 пристрою записує до лічильника 14 (Фіг. 2) адресу номера (адресу тесту) входу мультиплексора 1, що розташована у блоці пам'яті 7, при цьому на першій групі виходів блока пам'яті 7 фіксується номер входу мультиплексора 1, на другій групі виходів блока 7 - кількість тактів перевірки цього входу. Сигнал пуск (по зрізу імпульсу) записує до лічильника 8 кількість тактів перевірки входу, змінює стан тригера 24, який дозволяє збирати дані з входу мультиплексора 1 (адреса входу мультиплексора встановлюється на виходах блока 5 [3]) і подавати їх через перший логічний елемент І 2 до інформаційних входів формувачів сигнатур 3, 11. Новий стан тригера 24 дозволяє проходження сигналів синхронізації з генератора 27 до

входу синхронізації лічильника 8 через логічний елемент І 25 (Фіг. 2), а також до входу синхронізації другого формувача сигнатур 11 через логічні елементи І 26, 10, встановлює лічильник 20 і блок 4 в режим зберігання інформації, при цьому на виході блока 4 формується сигнал високого рівня, що дозволяє проходження синхроімпульсів через блок 26 і блокує схему порівняння 12, на першому виході якої формується сигнал низького рівня, який через комбінаційний блок 19 забороняє проходження сигналів синхронізації за допомогою елемента І 23.

Інформація з входу пристрою буде збиратися доки лічильник 8 рахує сигнали тактового генератора 27. При цьому, блоки 3 та 11 виконують згортку цих даних. Коли вміст лічильника 8 досягне 0, блок 8 сформує імпульс (Фіг. 2), який змінить стан лічильника 14 і задасть нову адресу входу мультиплексора 1 (яка зберігається в блоці пам'яті 7) з групи інформаційних входів 29. При цьому лічильник 8 знову запише кількість тактів перевірки з другої групи виходів блока пам'яті 7. Сигнал з лічильника 8 через логічні елементи 18, 10 виконає додатковий зсув даних, які зберігаються у формувачі сигнатур 11 [3], а також додає одиницю у лічильнику 9.

Послідовне прочитування інформації з входів 29 виконується до появи коду на виходах блока 14, який свідчить про те, що всі входи перевірені (наприклад 111...11). Цей код дозволить блоку 6 сформувати імпульс (Фіг. 2), який знов запише адресу тесту з регістра 13 до лічильника 14 (через елемент АБО 15), змінить стан тригера 24 на нульовий, що заборонить надходження сигналу синхронізації з блока 27 на вхід лічильника 8 і вхід синхронізації другого формувача сигнатури 11, а також закриває доступ даних через перший логічний елемент І 2 на інформаційні входи формувачів сигнатур 3, 11. Таким чином, прочитування даних з входів 29 завершене, при цьому в регістрах формувачів сигнатур 3, 11 зберігаються згортки, які одержані відповідно [3], у лічильнику 9 буде записано кількість входів приладу, що перевірялись.

Високий рівень сигналу з інверсного виходу тригера 24 переводить блок 4 у стан порівняння. Блок 4 виконує порівняння одержаних сигнатур з еталонними значеннями і, у разі їх збігу (відсутність помилок), формує на першому виході сигнал низького рівня, який дозволяє відобразити вміст лічильника 20 (що зберігає значення 0) в блоці індикації 28 і припиняє генерацію імпульсів синхронізації блоком 27 через логічний елемент І 26. Процес збору даних і діагностування приладу при відсутності помилок завершується.

В тому випадку, якщо у вхідній послідовності є помилки, то в результаті порівняння сигнатур з еталонами на виході блока 4 залишається сигнал високого рівня і блок 27 продовжує генерацію імпульсів синхронізації, які надходять на вхід синхронізації формувача сигнатур 3 і вхід синхронізації блока порівняння 4 через елемент І 26, при цьому виконується зрушення, інформації, що зберігається в них. У блоці 4 виконується порівняння синдромів помилки [3]. Лічильник 20, переведений в стан рахунку імпульсів синхронізації сигналом з інверсного виходу тригера 24, підраховує кількість таких зрушень. Підрахунок імпульсів синхронізації триватиме до збігу синдромів помилки в блоці 4 і завершується при формуванні низького рівня сигналу з виходу блока 4, що забороняє проходження імпульсів синхронізації через блок 26 і дозволяє порівняння у блоці 12 вміст лічильників 9 та 20. Якщо у вхідній послідовності є помилки, які виникли на декількох входах 29 пристрою, то вміст лічильника 20 буде більше кількості входів, що перевіряються (вмісту лічильника 9) і на другому виході блока порівняння 12 виникне сигнал високого рівня, який у блоці індикації 28 відобразить число більше числа, що зберігається у лічильнику 9, а також блокує генерацію сигналів синхронізації блоком 27.

Якщо у вхідній послідовності є помилки, які виникли на одному вході 29 пристрою, то вміст лічильника 20 буде не більше кількості входів, що перевіряються (вмісту лічильника 9) і на першому виході блока порівняння 12 виникне сигнал високого рівня. При цьому на входах комбінаційного блока 19 встановлюється код 011, а на виході рівень логічної 1, що дозволить проходження імпульсів синхронізації через блок 23 на вхід лічильника 22 (Фіг. 3). Сигнали синхронізації з виходів блока 23 змінюють стан лічильника 14, що в свою чергу, дозволяє послідовно отримати фізичні номера входів мультиплексора 1 з першої групи виходів блока пам'яті 7. Блок 21, встановлений у режим порівняння даних сигналом високого рівня з першого виходу блока 12, виконуватиме порівняння вмісту лічильників 20 та 22. Коли вміст лічильників 20 і 22 дорівнюватиме один одному, то на виході блока 21 виникне сигнал високого рівня, який зупинить генерацію сигналів синхронізації блоком 27 (фіг. 3) і дозволить відображення діагностичної інформації в блоці індикації 28. У лічильнику 20 залишається порядковий номер входу у процесі тестування приладу, на виходах блока пам'яті 7 присутній фізичний номер входу мультиплексора 1.

Таким чином, досягнуто розширення функціональних можливостей сигнатурного аналізатора, який здатний збирати дані з входів пристрою у вільному порядку, локалізувати

помилки у вхідній послідовності та визначати номер входу, до якого надходить помилкова інформація.

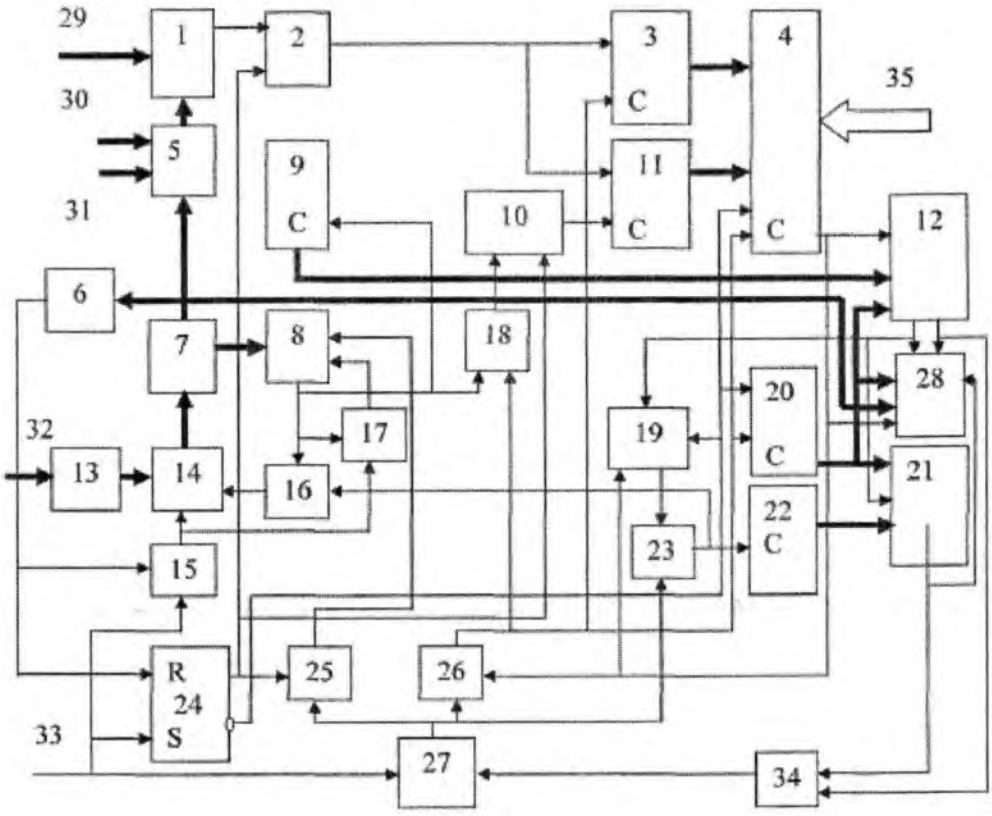
Джерела інформації:

1. Авторское свидетельство СССР № 1262500, кл. G 06 F 11/00, 1986.
2. Авторское свидетельство СССР № 1714605, кл. G 06 F 11/00, 1992.
3. Патент на корисну модель. Україна № 68273, кл. G 06 F 11/00, 2012. (найближчий аналог).
4. Гордон Г., Надич Х. Локализация неисправностей в микропроцессорных системах при помощи шестнадцатеричных ключевых кодов // Электроника. 1977, № 5, с. 23-33.

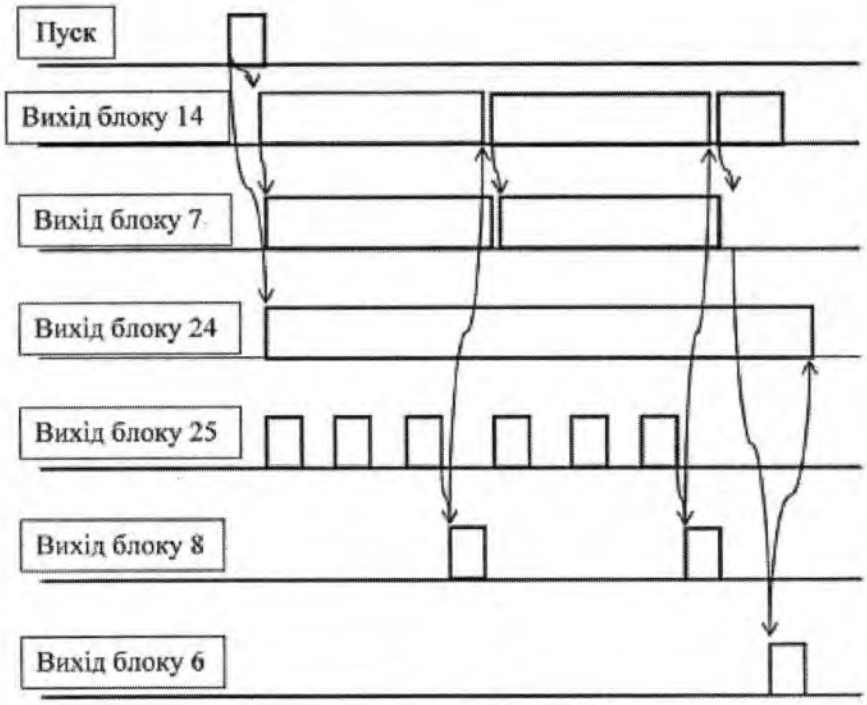
ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Багатоканальний сигнатурний аналізатор з локалізацією помилок, який містить мультиплексор, три логічні схеми І, два формувачі сигнатур, блок порівняння сигнатури з еталоном, комутатор адреси, два лічильники, дільник частоти, логічну схему АБО, блок індикації, тригер, блок управління, групу інформаційних входів, групу входів завдання номера пристрою, що перевіряється, групу входів завдання режиму роботи, вхід пуску, групу входів запису еталону, при цьому група інформаційних входів пристрою підключається до групи відповідних інформаційних входів мультиплексора, група адресних входів якого з'єднана з групою відповідних виходів комутатора адреси, перша група входів якого є входами завдання номера каналу пристрою, друга група входів комутатора є входами завдання режиму роботи пристрою, вихід мультиплексора з'єднаний з першим входом першого елемента І, вихід якого підключений до інформаційних входів першого і другого формувачів сигнатур, група виходів першого формувача сигнатур з'єднана з першою групою відповідних інформаційних входів блока порівняння сигнатури з еталоном, третя група входів якого є входами запису еталону, а друга група інформаційних входів блока порівняння сигнатури з еталоном підключена до відповідних виходів другого формувача сигнатур, вхід синхронізації якого з'єднана з виходом другої логічної схеми І, перший вхід якої підключений до виходу першого логічного елемента АБО, а другий вхід другої логічної схеми І з'єднаний з першим виходом тригера, другим входом першої логічної схеми І та першим входом третьої логічної схеми І, вихід якої підключений до першого входу дільника частоти, який **відрізняється** тим, що в нього введені дві логічні схеми І, чотири логічних схеми АБО, два лічильники, два блоки порівняння даних, блок пам'яті, комбінаційний блок, регістр, блок формування імпульсу, група входів запису адреси тесту, при цьому вхід пуск пристрою підключений до першого входу блока управління, другого входу другої логічної схеми АБО та другого входу тригера, перший вхід якого з'єднаний з виходом блока формувача імпульсу та першим входом другої логічної схеми АБО, вихід якої підключений до другого входу четвертої логічної схеми АБО, другого входу першого лічильника, перший вхід якого з'єднаний з виходом третьої логічної схеми АБО, перший вхід якої підключений до першого входу першого логічного елемента АБО, входу синхронізації третього лічильника, виходу дільника частоти та першого входу четвертого логічного елемента АБО, вихід якого з'єднаний з другим входом дільника частоти, група інформаційних входів якого підключена до другої групи відповідних виходів блока пам'яті, група адресних входів якого з'єднана з групою відповідних виходів першого лічильника, група інформаційних входів якого підключена до групи відповідних виходів регістра, група входів якого є групою входів запису адреси тесту, перша група виходів блока пам'яті з'єднана з групою відповідних входів блока формування імпульсу, третьою групою відповідних входів комутатора адреси та першою групою відповідних входів блока індикації, друга група входів якого підключена до першої групи відповідних входів другого блока порівняння, групи відповідних виходів другого лічильника та другою групою відповідних входів першого блока порівняння, перша група входів якого з'єднана з групою відповідних виходів третього лічильника, а вхід управління першого блока порівняння підключений до виходу блока порівняння сигнатури з еталоном, першого входу комбінаційного блока, першого входу управління блока індикації та другого входу п'ятого логічного елемента І, вихід якого з'єднаний з другим входом першого логічного елемента АБО, входом синхронізації першого формувача сигнатур, входом синхронізації другого лічильника та входом синхронізації блока порівняння сигнатури з еталоном, вхід управління якого підключений до другого виходу тригера, входу управління другого лічильника та третього входу комбінаційного блока, вихід якого з'єднаний з другим входом четвертого логічного елемента І, вихід якого підключений до другого входу третього логічного елемента АБО та входу синхронізації четвертого лічильника, група виходів якого з'єднана з другою групою відповідних входів другого блока порівняння, вхід управління якого підключений до другого входу комбінаційного блока, другого входу управління блока індикації та першого виходу першого блока порівняння, другий вихід якого з'єднаний з другим

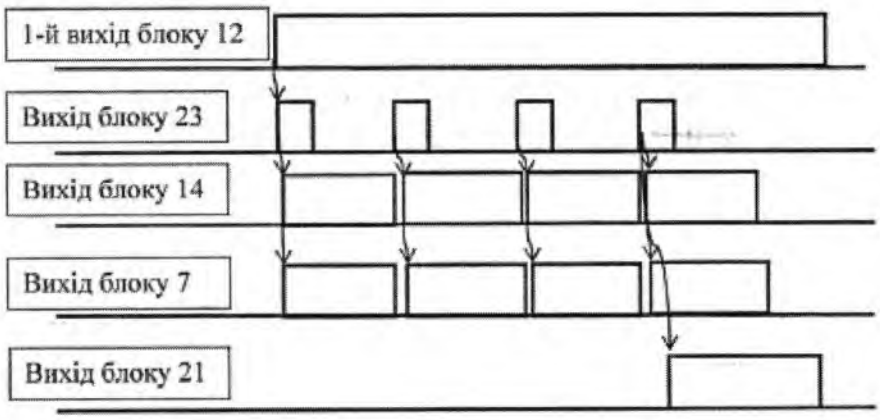
входом п'ятої логічної схеми АБО та третім входом управління блока індикації, четвертий вхід управління якого підключений до виходу другого блока порівняння та першого входу п'ятої логічної схеми АБО, вихід якої з'єднаний з другим входом блока управління, вихід якого підключений до другого входу третього логічного елемента І та перших входів четвертого і п'ятого логічних елементів І.



Фіг. 1



Фіг. 2



Фіг. 3

Комп'ютерна верстка О. Гергіль

Міністерство розвитку економіки, торгівлі та сільського господарства України,
вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601